

@CROシリーズ

---

# ACRO741—01

---

ハードウェア・ユーザーズ・マニュアル

16Bit A/D & D/A ボード



## 《 目 次 》

<b>1</b>	<b>概説</b> .....	<b>5</b>
<b>2</b>	<b>基本仕様</b> .....	<b>5</b>
<b>3</b>	<b>ハードウェア</b> .....	<b>6</b>
3.1	コネクタ、ショートピン、ボリューム、ディップスイッチの配置 .....	6
3.2	出荷時の設定 .....	6
3.3	ボードの設置方法 .....	7
3.4	入出力信号の接続 .....	7
3.4.1	D/Aの接続 .....	7
3.4.2	A/Dの接続 .....	7
3.5	メモリマップ .....	8
3.6	A/D変換の開始 .....	9
3.7	A/Dデータの入力 .....	9
3.8	D/Aデータの出力 .....	10
3.9	A/Dコンバータのビジーフラグ（変換中信号）のチェック .....	10
3.10	割込みコントロール・レジスタ .....	11
3.10.1	トリガスロープの設定 .....	11
3.10.2	割込み信号のマスク制御 .....	11
3.10.3	A/D & D/Aの同期変換 .....	12
3.11	トリガレベルの設定 .....	12
3.12	割込みフラグのリセット .....	12
3.13	サンプリングモード設定 .....	13
3.14	変換レンジ読出し .....	13
3.15	ボードID読出し .....	14
3.16	割込みフラグの読出し .....	14
<b>4</b>	<b>ディップスイッチ</b> .....	<b>14</b>
<b>5</b>	<b>割込み</b> .....	<b>15</b>
5.1	A/D変換終了割込み .....	15
5.2	トリガ割込み .....	16
<b>6</b>	<b>A/D &amp; D/A変換データの関係</b> .....	<b>17</b>
6.1	入力電圧とA/D変換データの関係 .....	17
6.2	出力電圧とD/A変換データの関係 .....	17
<b>7</b>	<b>A/Dの校正</b> .....	<b>18</b>
7.1	入力電圧範囲の設定 .....	18
7.2	オフセットの調整 .....	18
<b>8</b>	<b>コネクタピン配置</b> .....	<b>19</b>
<b>9</b>	<b>添付品</b> .....	<b>19</b>

## 《 図 目 次 》

図 3-1	配置図.....	6
図 3-2	DSW101 の出荷時設定 .....	6
図 3-3	ショートピンの出荷時設定.....	6
図 3-4	D/A出力回路.....	7
図 3-5	A/D入力回路.....	7
図 8-1	CN12 を挿入方向から見た図 .....	19

## 《 表 目 次 》

表 3-1	メモリマップ.....	8
表 3-2	ビジーフラグのビットマップ.....	10
表 3-3	ビジーフラグの意味.....	10
表 3-4	割込みコントロールレジスタ .....	11
表 3-5	トリガレベルの設定.....	12
表 3-6	サンプリングモード.....	13
表 3-7	サンプリングモード設定表.....	13
表 4-1	DSW101 のピン定義 .....	14
表 6-1	入力電圧とA/D変換データの関係.....	17
表 6-2	出力電圧とD/A変換データの関係.....	17
表 8-1	コネクタピン配置.....	19
表 9-1	添付品一覧.....	19

## 1 概説

本ボードは、PPC ボード ACR0741-00 専用の 16 ビット A/D & D/A ボードです。  
また、ドーターボードとして使用する為、本ボード単体では使用できません。

## 2 基本仕様

<b>A/D (アナログ入力)</b>	
分解能	16 ビット
変換時間	1[usec]
チャンネル数	6[CH]
変換順序	6[CH]同時
入力方法	差動入力
入力電圧範囲	±5[V], ±10[V]
自動変換機能	定周期で全チャンネル同時変換
同期変換開始機能	外部変換開始信号に同期して全チャンネル同時変換
<b>D/A (アナログ出力)</b>	
分解能	16 ビット
変換時間	1[usec]
チャンネル数	4[CH]
変換順序	4[CH]同時または任意チャンネル
出力電圧範囲	0[V]～10[V], ±10[V]
同期変換開始機能	外部変換開始信号に同期して全チャンネル同時変換
<b>トリガ</b>	
トリガチャンネル	A/D CH0
比較電圧範囲	±10[V]
比較電圧分解能	16 ビット
トリガスロープ	立上り/立下り プログラム設定
トリガ割込み機能	有り
<b>割込み</b>	
割込み発生源	A/D 変換完了、トリガの発生
割込みレベル	INT31
割込みパルス幅	100[nsec]
<b>外部変換開始信号</b>	
外部クロック信号	LVTTTL レベル、立下がりエッジ

### 3 ハードウェア

#### 3.1 コネクタ、ショートピン、ボリューム、ディップスイッチの配置

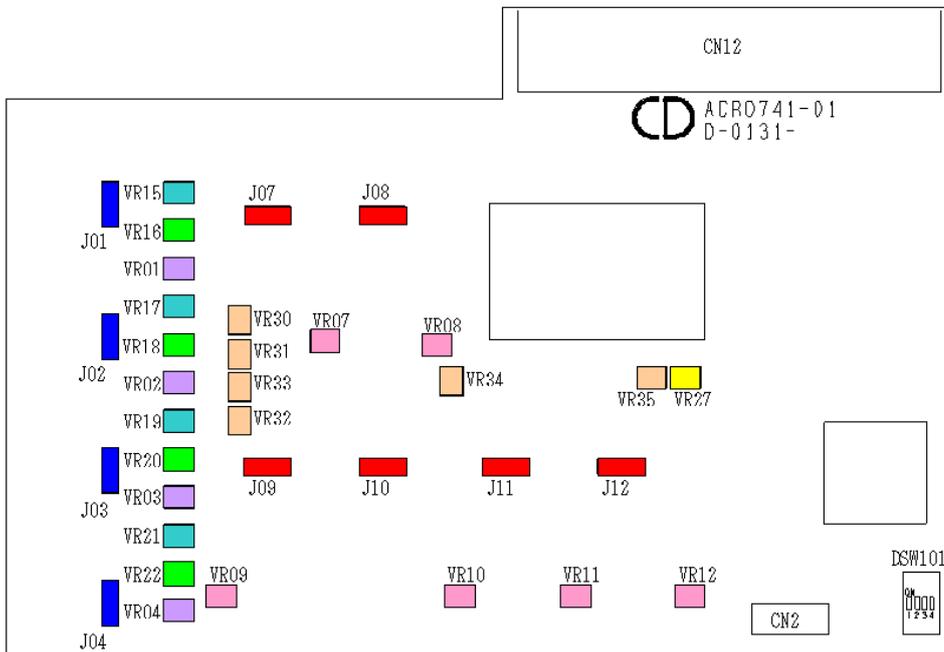


図 3-1 配置図

#### 3.2 出荷時の設定

本ボードの出荷時の設定は以下のように設定されています。

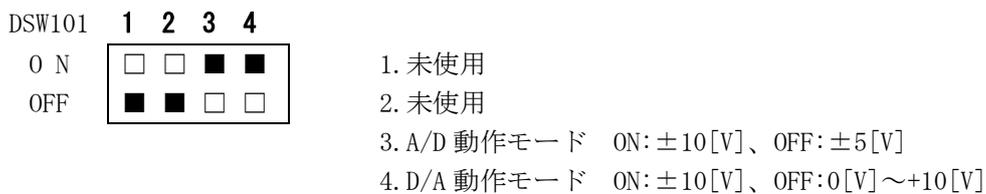
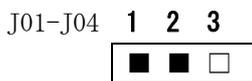
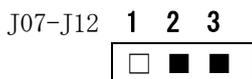


図 3-2 DSW101 の出荷時設定

■■ : ショート



- 1 - 2 ショート : 出力電圧範囲 : ±10[V]
- 2 - 3 ショート : 出力電圧範囲 : 0[V] ~ +10[V]



- 1 - 2 ショート : 入力電圧範囲 : ± 5[V]
- 1 - 2 ショート : 入力電圧範囲 : ±10[V]

図 3-3 ショートピンの出荷時設定

### 3.3 ボードの設置方法

1. 本ボードの CN10 と ACR0741-00 の CN10 を接続します。
2. 脱落防止用の為、付属のビスとスペーサで固定します。
3. A/D 入力と D/A 出力は下記コネクタに接続します。  
CN12 (PS-40PE-D4LT2-M1 : JAE)

### 3.4 入出力信号の接続

#### 3.4.1 D/A の接続

OUT**	D/A コンバータの出力
AGND	アナログ・グラウンド

上記の 2 信号で 1 組の出力回路を構成しています。  
入出力用コネクタの信号配置は『表 8-1 コネクタピン配置』を参照して下さい。

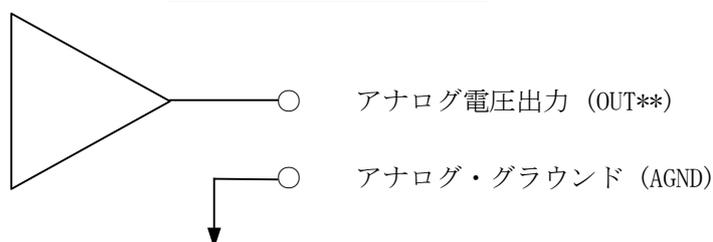


図 3-4 D/A出力回路

#### 3.4.2 A/D の接続

A/D の入力回路は差動入力回路になっています。	
+IN**	バッファアンプの正転入力
-IN**	バッファアンプの反転入力
AGND	アナログ・グラウンド

上記の 3 信号で 1 組の出力回路を構成しています。  
入出力用コネクタの信号配置は『表 8-1 コネクタピン配置』を参照して下さい。

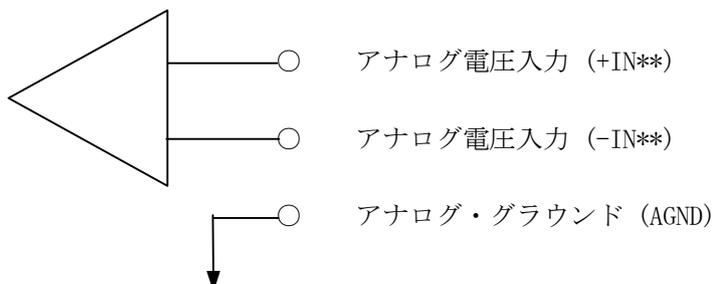


図 3-5 A/D入力回路

## 3.5 メモリマップ

表 3-1 メモリマップ

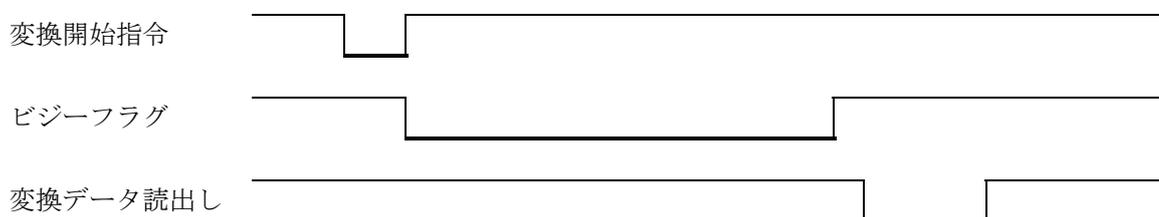
ADDRESS	WRITE	READ
0x82408000	A/D 変換開始	A/D CH0 データ読出
0x82408004	A/D 変換開始	A/D CH1 データ読出
0x82408008	A/D 変換開始	A/D CH2 データ読出
0x8240800C	A/D 変換開始	A/D CH3 データ読出
0x82408010	A/D 変換開始	A/D CH4 データ読出
0x82408014	A/D 変換開始	A/D CH5 データ読出
0x82408018	A/D 変換開始	A/D CH0 データ読出(単精度浮動小数)
0x8240801C	A/D 変換開始	A/D CH1 データ読出(単精度浮動小数)
0x82408020	A/D 変換開始	A/D CH2 データ読出(単精度浮動小数)
0x82408024	A/D 変換開始	A/D CH3 データ読出(単精度浮動小数)
0x82408028	A/D 変換開始	A/D CH4 データ読出(単精度浮動小数)
0x8240802C	A/D 変換開始	A/D CH5 データ読出(単精度浮動小数)
0x82408030	D/A CH0 データ書込	
0x82408034	D/A CH1 データ書込	
0x82408038	D/A CH2 データ書込	
0x8240803C	D/A CH3 データ書込	
0x82408040	D/A CH0 データ書込(単精度浮動小数)	
0x82408044	D/A CH1 データ書込(単精度浮動小数)	
0x82408048	D/A CH2 データ書込(単精度浮動小数)	
0x8240804C	D/A CH3 データ書込(単精度浮動小数)	
0x82408050		ビジーフラグ読出し
0x82408054	割込みコントロール・レジスタ設定	左記読出し
0x82408058	トリガレベル設定	
0x8240805C	割込みフラグリセット	
0x82408060	サンプリングモード・レジスタ設定	左記読み止し
0x82408064		変換レンジ読出し
...	...	...
0x8243FFF8		ボード ID 読出し
0x8243FFFC	全割込みフラグリセット	割込みフラグ読出し

### 3.6 A/D 変換の開始

A/D コンバータの変換は【0x82408000】～【0x8240802C】の何れかに、メモリ書込み動作を行う事により実行されます。

変換開始指令について本ボードは、アドレスの下位 2 ビット以上をデコードしているので【0x8240800】～【0x8240802C】間のどのアドレスに書き込みを行っても 6[CH]の A/D コンバータに同時に変換開始指令が発せられます。

A/D コンバータの制御手順は、まず始めに A/D コンバータに変換指令を与えます。A/D コンバータはメモリ空間にマップされているので、そのアドレスに書き込み動作を行うことにより変換を開始させることができます。その後直ちにビジーフラグを讀出し、変換が終了したか(ビジーフラグ = 1)を調べます。変換終了を確認した後に変換データを取り出します。変換中(ビジーフラグ = 0)のデータは正しい変換データではありません。尚、変換終了割り込みを利用することにより、ビジーフラグのチェックをせずにデータの取り込みを行うことも可能です。



### 3.7 A/D データの入力

A/Dコンバータの変換データの読み出しは、各ボードのベースアドレスを含めた 2Ch番地の間でベースアドレスから順にA/Dコンバータのアドレスが割当てられているので、各チャネルに対応したアドレスからメモリデータの読み出し動作を行うことにより実行されます。変換データの読み出しアドレスの詳細は『表 3-1 メモリマップ』を参照して下さい。

### 3.8 D/A データの出力

本ボードの【0x82408030】～【0x8240804C】の間に、D/Aコンバータのアドレスが割当てられているので、各チャンネルに対応したメモリアドレスにアナログ電圧に相当したデータを書き込みます。変換データの書き込みアドレスの詳細は『表 3-1 メモリマップ』を参照して下さい。

D/A コンバータのアナログ電圧出力は、D/A コンバータへのデータの書き込みにより実行されます。また D/A コンバータの出力モードには2つのモードがあり【割込みコントロール・レジスタ Bit2】の設定により動作が異なります。

**【割込みコントロール・レジスタ】の【Bit2】が【0】の時**

データは直接 D/A コンバータに直接書き込まれアナログ出力はすぐに変化します。

**【割込みコントロール・レジスタ】の【Bit2】が【1】の時**

D/A コンバータの入力レジスタにデータがラッチ（記憶）されます。そして【EXTCLK】信号に同期して D/A コンバータに書き込まれます。また、この時に A/D コンバータも同期して変換を開始します。

### 3.9 A/D コンバータのビジーフラグ（変換中信号）のチェック

ビジーフラグは【0x82408050】にあり、その番地からデータを読出すことにより、A/D コンバータが現在変換中かどうかを調べることができます。変換中に A/D コンバータから読出したデータは正しいものではありません。

ビジーフラグがアクティブ【0】でなくなった後に、正しい変換データを読出します。

なお、変換終了割り込みを利用する事により、ビジーフラグのチェックをせずにデータの取込みを行う事も可能です。

ビットマップは以下の通りです。

表 3-2 ビジーフラグのビットマップ

Bit	定義
0	A/D CH0 BUSY
1	A/D CH1 BUSY
2	A/D CH2 BUSY
3	A/D CH3 BUSY
4	A/D CH4 BUSY
5	A/D CH5 BUSY
...	1
31	1

表 3-3 ビジーフラグの意味

フラグ	意味
0	変換中
1	変換中でない

### 3.10 割り込みコントロール・レジスタ

割り込みコントロール・レジスタは【0x82408054】に割当てられており、

- ・A/D & D/A 同期変換または、A/D のみ同期変換し、D/A は任意出力の選択
- ・割り込みの許可／禁止の設定
- ・トリガスロープの選択

を行います。電源投入時はイニシャルリセットされ【0】になります。

表 3-4 割り込みコントロールレジスタ

レジスタ	0	1
Bit 2	非同期	同期
Bit 1	割り込み：禁止	割り込み：許可
Bit 0	トリガスロープ：立上がり	トリガスロープ：立下がり

#### 3.10.1 トリガスロープの設定

A/D コンバータ【CH0】の入力データが、トリガレベル電圧を横切る際にトリガとなり、割り込み (INT31) を発生します。但し、【サンプリングモード・レジスタ】と【割り込みコントロール・レジスタ】の設定が必要となります。

どちらのスロープでトリガを発生させるかを【割り込みコントロール・レジスタ】の【Bit0】の値で選択します。

割り込みコントロール・レジスタ

レジスタ	0	1
Bit 2	非同期	同期
Bit 1	_____	割り込み：許可
Bit 0	トリガスロープ：立上がり	トリガスロープ：立下がり

サンプリングモード・レジスタ

レジスタ	0	1
Bit 3	_____	_____
Bit 2	_____	_____
Bit 1	_____	_____
Bit 0	トリガ割り込み	A/D 変換完了割り込み

#### 3.10.2 割り込み信号のマスク制御

A/D 変換終了割り込み』、或いは『トリガの発生による割り込み』の発生は、【割り込みコントロール・レジスタ】の【Bit1】を【1】にすると割り込み可となり【0】にするとマスクすることができます。

割り込み信号源は【サンプリングモード・レジスタ】の【Bit0】により選択することができます。

## 3.10.3 A/D &amp; D/A の同期変換

【割り込みコントロール・レジスタ】の【Bit2】を【1】で【サンプリングモード・レジスタ】の【Bit1,2】を【0】にすることにより、【EXTCLK】に同期して、A/D & D/A コンバータを同時変換することができます。【割り込みコントロール・レジスタ】の【Bit2】を【0】にすると、A/D コンバータのみクロックに同期して変換し、D/A コンバータは各 CH 毎のデータの書き込みにより変換を行います。

## 3.11 トリガレベルの設定

トリガレベルの設定は、【0x82408058】に書き込み動作を行うことで実行されます。また、本機能は A/D コンバータ【CH0】の入力データについてのみ設定することができます。本ボードには、入力データとトリガレベルとの比較を行うコンパレータが内蔵されています。設定分解能と設定電圧範囲は下記の通りです。

分解能 : 16 [Bit]  
 設定電圧範囲 : ±10 [V]、 0 [V] ~ 10 [V]

表 3-5 トリガレベルの設定

	バイポーラ	ユニポーラ
出力データ	出力電圧[V]	
FFFFh	9.9997	9.9998
...	...	...
8000h	0	5
...	...	...
0h	-10	0

## 3.12 割り込みフラグのリセット

割り込みフラグレジスタはどのボードが割り込みを発生しているかを識別するためのレジスタで、このレジスタは【0x8243FFFC】にマップされています。本ボードが割り込みを発生している場合は、【Bit0】に【0】がセットされます。【Bit1】～【Bit31】までは常に【1】となっています。

そして割り込みを示している Bit のみリセットする場合は【0x8240805C】番地に書き込み動作を行う事により（データは何でも良い）そのフラグビットをリセットすることができます。

また【0x8243FFFC】に書き込み動作を行う事によりレジスタ全体をリセットする事ができます。

### 3.13 サンプリングモード設定

サンプリングモード・レジスタは【0x82408060】に割当てられており、A/D コンバータ・D/A コンバータの変換モードを設定する事ができます。

表 3-6 サンプリングモード

レジスタ	0	1
Bit 3	A/D 自動変換禁止	A/D 自動変換許可
Bit 2	外部 CLK による変換開始	PPC による変換開始
Bit 1	EXTCLK による変換開始	
Bit 0	トリガ割込み	A/D 変換完了割込み

本ボードのサンプリングモードは下表の様に 3 種類の中から選択することができます。

- ① 自動変換  
自動で変換を開始するモードです。  
変換周期は 2[usec]です。
- ② EXTCLK  
外部信号に同期させ変換を開始するモードです。  
入力信号は LVTTL レベルです。
- ③ 任意  
任意タイミングで変換を開始するモードです。

表 3-7 サンプリングモード設定表

	EXTCLK	EXTCLK	任意
変換開始モード	自動変換	同期変換	PPC 起動
Bit 3	1	0	0
Bit 2	1	0	1
Bit 1	1	0	1
Bit 0	0/1	1	0/1
用途	自動でサンプリングを行う	EXTCLK の立下りエッジにサンプリングを同期させる	任意タイミングでサンプリングを行う

### 3.14 変換レンジ読出し

コンバータモード・レジスタは【0x82408064】に割当てられており、A/D コンバータ・D/A コンバータの変換レンジを確認する事ができます。

### 3.15 ボード ID 読出し

【0x8243FFF8】を読出す事により、実装されているドーターボードの種類を知ることができます。なお、本ボードの ID 番号は【1】です。

### 3.16 割込みフラグの読出し

【0x8243FFFC】を読出す事により、割込みが発生しているかを知ることができます。

## 4 ディップスイッチ

本ボードに実装されている DSW のピン定義は以下の通りです。

表 4-1 DSW101 のピン定義

DSW101	定義
01	未使用
02	未使用
03	D/A コンバータ 変換レンジ
04	A/D コンバータ 変換レンジ

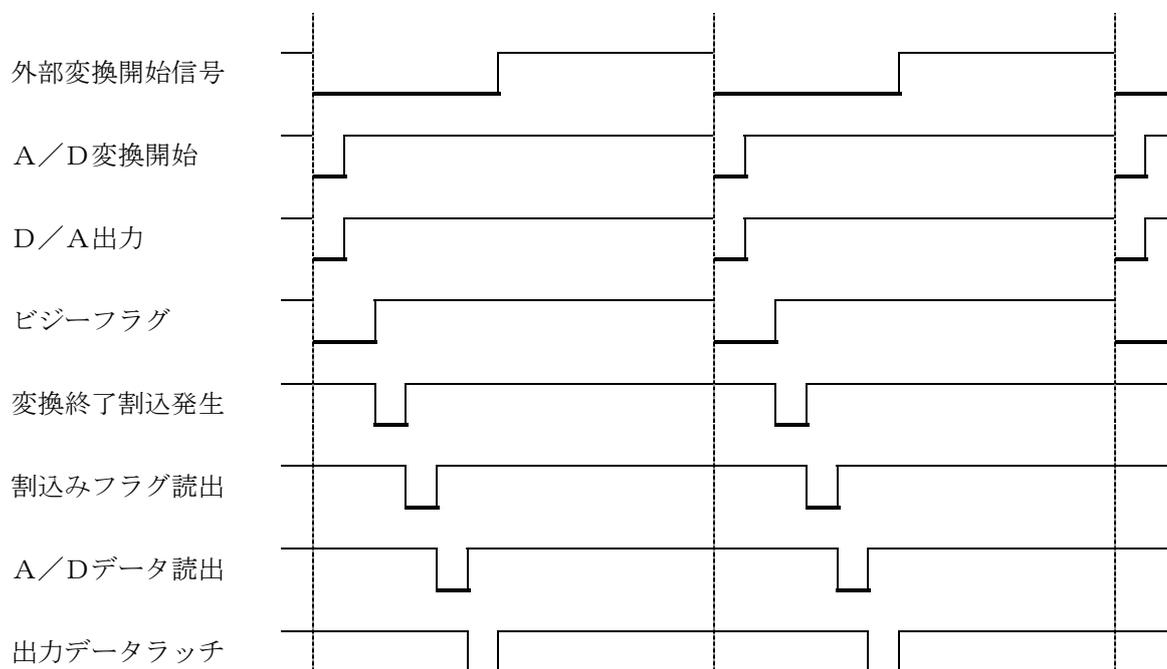
## 5 割り込み

本ボードから PPC への割り込みは、『A/D 変換の完了』と『トリガの検出』の 2 種類があります。

【サンプリングモード・レジスタ】の【Bit0】によりどちらかを選択することができます。外部変換開始信号に同期させてサンプリングを行う場合は、『A/D 変換完了割り込み』を選択して下さい。

### 5.1 A/D 変換終了割り込み

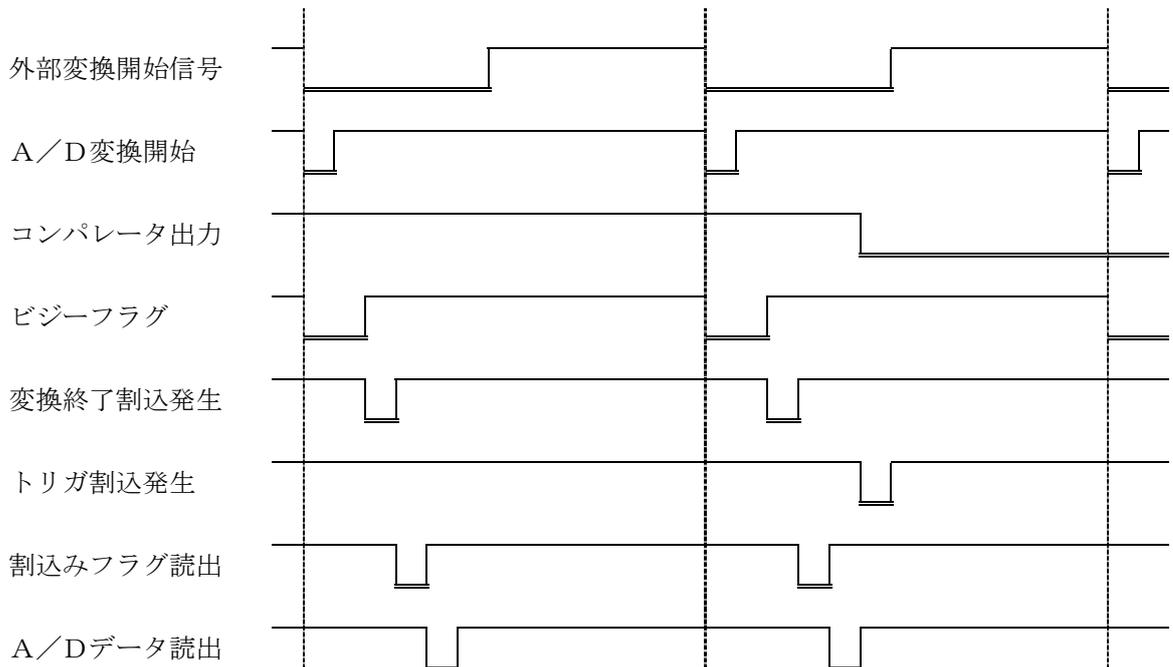
自動変換機能行っている時に、A/D コンバータは外部変換開始信号に同期して変換が開始され、D/A コンバータは前回 D/A コンバータのバッファに貯えられたデータを出力します。そして A/D コンバータが A/D 変換終了の割り込みを発生すると PPC は『INT31』のベクタアドレスに格納されている割り込み処理ルーチンにジャンプし、割り込みフラグレジスタを読み込みます。さらに PPC はユーザの『ある処理』を行い、その結果を D/A コンバータのバッファに書き込み、一時的にデータを蓄え次回の外部変換開始信号に備えます。



## 5.2 トリガ割込み

デジタルオシロスコープのトリガの様に使うことができます。A/D 換は外部変換開始信号に同期して行い PPC は A/D コンバータのビジーフラグを確認しながらデータを取り込み、メモリのバッファ領域に格納して行きます。この動作を繰り返しているうちに入力信号がトリガレベルをよぎると割り込みが発生します。そしてこの点を基にトリガモード（プリトリガ・センタートリガ・ポストトリガ）に基づいてデータの取り込みを行います。

トリガ割込みは、A/D 【CH0】 のみ有効です。また、トリガレベルの設定に D/A 【CH3】 を使用しますので、D/A 【CH3】 への出力はできません。



## 6 A/D & D/A 変換データの関係

### 6.1 入力電圧と A/D 変換データの関係

入力電圧と A/D 変換データの関係は以下の通りです。また、A/D 変換データの未使用ビット(Bit16～31)は常に【0】です。

表 6-1 入力電圧と A/D 変換データの関係

入力電圧範囲 ±10V	入力電圧範囲 ±5V	A/D 変換データ
9.999542 以上	4.999771 以上	FFFF
9.999237～ 9.999542	4.999619～4.999771	FFFE
…	…	…
…	…	…
152.6 μ ～ 457.8 μ	76.3 μ ～ 228.9 μ	8001
-152.6 μ ～ 152.6 μ	-76.3 μ ～ 76.3 μ	8000
-457.8 μ ～ -152.6 μ	-228.9 μ ～ -76.3 μ	7FFF
…	…	…
…	…	…
-9.999847～-9.999542	-4.999924～-4.999771	0001
-9.999847 以下	-4.999924 以下	0000

### 6.2 出力電圧と D/A 変換データの関係

出力電圧と D/A 変換データの関係は以下の通りです。

表 6-2 出力電圧と D/A 変換データの関係

出力電圧範囲 0～10V	出力電圧範囲 ±10V	D/A 変換データ
9.999847	9.999695	FFFF
9.999694	9.999390	FFFE
…	…	…
…	…	…
5.000153	305.2 μ	8001
5	0	8000
4.999847	-305.2 μ	7FFF
…	…	…
…	…	…
152.6 μ	-9.999695	0001
0	-10	0000

## 7 A/Dの校正

本ボードには入力レンジの変更や経時変化による、オフセット電圧やスケール電圧の調整が必要です。

A/Dコンバータの校正は次の手順に従って行って下さい。

- ① 入力電圧範囲の設定
- ② オフセットの調整
- ③ スケールの調整

### 7.1 入力電圧範囲の設定

本ボードのA/Dコンバータの入力電圧範囲は2種類あります。そのためどちらの入力電圧範囲を使用するかを決めなければなりません。

A/Dコンバータの入力電圧範囲を選択するためにジャンパーピン【JP07】～【JP12】の設定を行います。

入力電圧範囲	設定
-5V ~ +5V	1-2ピンをショート
-10V ~ +10V	2-3ピンをショート

### 7.2 オフセットの調整

A/Dコンバータは入力電圧範囲の切り替え、或いはデバイスの経時変化によりオフセット電圧が変動します。そのためオフセットの調整が必要となり下記の手順で行います。

A/Dの各チャンネルに『0[V]』を印加します。

そして、それぞれのチャンネルに対応した入力段アンプの7番ピン、或いはジャンパーピンの端子が【0[V]】になるようオフセットボリュームを調整します。この端子はA/Dコンバータの入力に接続されます。

A/D	オフセットVR	入力段アンプ	±5V	±10V
0	VR30	IC60-7	JP07-1	JP07-1
1	VR31	IC61-7	JP08-1	JP08-1
2	VR32	IC62-7	JP09-1	JP09-1
3	VR33	IC63-7	JP10-1	JP10-1
4	VR34	IC64-7	JP11-1	JP11-1
5	VR35	IC65-7	JP12-1	JP12-1

## 8 コネクタピン配置

表 8-1 コネクタピン配置

ピン番号	信号名	ピン番号	信号名
1201	D/A CH0 OUT	1202	AGND
1203	D/A CH1 OUT	1204	AGND
1205	D/A CH2 OUT	1206	AGND
1207	D/A CH3 OUT	1208	AGND
1209	A/D CH0 +IN	1210	A/D CH0 -IN
1211	AGND	1212	AGND
1213	A/D CH1 +IN	1214	A/D CH1 -IN
1215	AGND	1216	AGND
1217	A/D CH2 +IN	1218	A/D CH2 -IN
1219	AGND	1220	AGND
1221	A/D CH3 +IN	1222	A/D CH3 -IN
1223	AGND	1224	AGND
1225	A/D CH4 +IN	1226	A/D CH4 -IN
1227	AGND	1228	AGND
1229	A/D CH5 +IN	1230	A/D CH5 -IN
1231	AGND	1232	AGND
1233	AGND	1234	AGND
1235	AGND	1236	AGND
1237	AGND	1238	AGND
1239	*EXTCLK	1240	DGND

▽

39	37	35	33	31	29	27	25	23	21	19	17	15	13	11	09	07	05	03	01
40	38	36	34	32	30	28	26	24	22	20	18	16	14	12	10	08	06	04	02

図 8-1 CN12 を挿入方向から見た図

## 9 添付品

表 9-1 添付品一覧

品名	型式	数量	メーカー
CN12 用コネクタ	PS-D4C40	1	JAE
CN12 用圧着ピン	PS-SF-C1-1	45	JAE
スペーサー	AS-320	4	廣杉
黒クロメート	M3×6mm	8	不問



## 【 改 訂 履 歴 】

改訂番号	改訂日付	改訂内容
初版	2010.05.12	初版

- ・ 本製品及び本マニュアルの内容は製品の改良のため予告無しに変更される事がありますのでご了承下さい。
- ・ 本製品及び本マニュアルの内容は著作権法により保護されています。許可なく複製する事はできません。

**ACRO741-01**  
**ハードウェア取扱説明書**

**中部電機株式会社**

〒440-0004 愛知県豊橋市忠興3丁目2-8  
TEL <0532>61-9566  
FAX <0532>63-1081  
URL : <http://www.chubu-el.co.jp>  
E-mail : [csg@chubu-el.co.jp](mailto:csg@chubu-el.co.jp)

2010.05 第1版発行